

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

具体例 1 の平面型表示装置

【特許請求の範囲】

【請求項 1】 複数の電界放出型カソードと、
該複数の電界放出型カソードの表面に、該複数の電界放出型カソードからの電子放射を可能にし得るショットキーバリアを形成する強電界を固定的に与える高圧電極と、
上記複数の電界放出型カソードに接続され、該複数の電界放出型カソードからの電子の放射の有無を制御する 2 次元 MOS ゲートアレイと、
上記複数の電界放出型カソードから選択的に放出された電子の衝撃によって、光輝せしめられる蛍光体層とを有することを特徴とする平面型表示装置。

【請求項 2】 マトリックス状に配された m 行 n 列（但し、m、n は 1 以上の整数）の電界放出型カソードからなる画素が、M 行 N 列（但し、M、N は 2 以上の整数）のマトリックス状に配列された電界放出型カソード群と、
該電界放出型カソード群を構成する各電界放出型カソードの表面に、該各電界放出型カソードからの電子放射を可能にし得るショットキーバリアを形成する強電界を固定的に与える高圧電極と、
上記電界放出型カソード群を構成する各電界放出型カソードがそれぞれ各別にドレインに接続された MOS ゲートからなる 2 次元 MOS ゲートアレイと、
上記 M 行の画素の各電界放出型カソードに接続されている各 MOS ゲートのゲートに、該各 MOS ゲートを ON にするパルス電圧を、上記 M 行の行毎に順次循環的に印加する走査駆動手段と、
該走査駆動手段より発生する上記パルス電圧に同期して、上記 N 列の画素の各電界放出型カソードに接続されている各 MOS ゲートのソースに同時に、表示しようとする画像に応じて、上記 N 列の列毎に選択的に低電圧を印加する画像データ駆動手段と、
上記画素毎に選択的に上記電界放出型カソードから放出される電子の衝撃によって、光輝せしめられる蛍光体層とを有することを特徴とする平面型表示装置。

【請求項 3】 請求項 1 に記載の平面型表示装置において、
上記高圧電極は、上記蛍光体層が形成されたアノード電極であることを特徴とする平面型表示装置。

【請求項 4】 請求項 1 に記載の平面型表示装置において、
上記高圧電極は、上記複数の電界放出型カソードに近接して設けられた引き出し電極であることを特徴とする平面型表示装置。

【請求項 5】 請求項 1 に記載の平面型表示装置において、
上記複数の電界放出型カソードの近傍に、シールド電極を設けたことを特徴とする平面型表示装置。

【請求項 6】 請求項 5 に記載の平面型表示装置におい

て、
上記シールド電極には、上記複数の電界放出型カソードに選択的に印加される低電圧と略等しいか、又は、該低電圧より低い電圧が印加されるようにしたことを特徴とする平面型表示装置。

【請求項 7】 請求項 5 に記載の平面型表示装置において、
上記シールド電極に、少なくとも上記 MOS ゲートが OFF のときに、上記複数の電界放出型カソードに選択的に印加される低電圧と略等しいか、又は、該低電圧より低い電圧が印加されるようにしたことを特徴とする平面型表示装置。

【請求項 8】 請求項 2 に記載の平面型表示装置において、
上記高圧電極は、上記蛍光体層が形成されたアノード電極であることを特徴とする平面型表示装置。

【請求項 9】 請求項 2 に記載の平面型表示装置において、
上記高圧電極は、上記電界放出型カソード群に近接して設けられた引き出し電極であることを特徴とする平面型表示装置。

【請求項 10】 請求項 2 に記載の平面型表示装置において、
上記電界放出型カソード群の近傍に、シールド電極を設けたことを特徴とする平面型表示装置。

【請求項 11】 請求項 10 に記載の平面型表示装置において、
上記シールド電極には、上記複数の電界放出型カソードに選択的に印加される低電圧と略等しいか、又は、該低電圧より低い電圧が印加されるようにしたことを特徴とする平面型表示装置。

【請求項 12】 請求項 10 に記載の平面型表示装置において、
上記シールド電極に、少なくとも上記 MOS ゲートが OFF のときに、上記電界放出型カソード群の電界放出型カソードに選択的に印加される低電圧と略等しいか、又は、該低電圧より低い電圧が印加されるようにしたことを特徴とする平面型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は電界放出型カソードを備えた平面型表示装置に関する。

【0002】

【従来の技術】 以下に、図 15 及び図 16 を参照して、電界放出型カソード（エミッタ）を備えた平面型表示装置の従来例を説明する。図 15 及び図 16 において、K、K 及び G は、XY マトリックスを構成するそれぞれ複数本の等間隔、等幅のカソード電極及びゲート電極（引き出し電極）で、絶縁層 Z を介して互いに交叉して対向する如く配されている。A は複数のゲート電極 G に対し所

定間隔を以て対向するアノード電極である。アノード電極Aの上面(下面も可)には蛍光体層Pが塗布されている。

【0003】複数のカソード電極KK及び複数のゲート電極Gの交叉部において、各ゲート電極Gには円形の孔Hが穿設されると共に、この孔Hに連通するキャビティCVが絶縁層Z内に設けられる。このキャビティCV内において、カソード電極KK上に、円錐形形状のスピント(Spindt:人名)型電界放出型カソード(エミッタ)Kが植立される。電界放出型カソードKは、0.01V/Å~0.1V/Å程度の電界を選択的に与えることによって、トンネル効果により電子放出がなされる、Mo、W、Cr等の材料から構成される。そして、カソードKの頂点が孔Hの中心に位置するように、孔H及びカソードK間の位置関係が設定されている。

【0004】これらの電極G、カソード電極KK、カソードK、アノード電極A、蛍光体層P及び絶縁層Zは、ガラス等からなる偏平管内に収納され、偏平管内は真空となされる。

【0005】アノード電極Aには、固定電圧、例えば、3kVの直流電圧が印加されている。複数のゲート電極Gには、スキヤンドライバSDからの、例えば、100Vの直流電圧が、図15において、上側のゲート電極Gから下側のゲート電極Gへと順次循環的に印加される。複数のカソード電極KKには、データドライバDDからの、画像信号に応じた0V(例えば、0V~10Vの電圧も可)の電圧が選択に印加される。

【0006】かくして、複数のゲート電極G及び複数のカソード電極KKのうち、100Vの直流電圧が印加されたゲート電極Gと、0Vの電圧が印加されたカソード電極KKの交点において、カソードKとアノード電極Aとの間で電界放射(電子放射)が開始され、ゲート電極GによってカソードKから引き出された電子が、アノード電極Aに衝撃されて、蛍光体層Pが発光する。

【0007】この平面型表示装置では、ゲート電極G及びカソード電極KKの交点の、例えば、1000個分の集まりが1画素として、画像が表示される。蛍光体層Pの全体を、白色発光蛍光体層にて構成すれば、モノクローム平面型表示装置が得られ、蛍光体層Pを1画素毎の幅を有する赤、緑及び青発光蛍光体ストライプにて構成すれば、カラー平面型表示装置が得られる。

【0008】電界放出型カソード(エミッタ)Kの例としては、図16に図示したもの他に、種々あるが、その一部の例を図17を参照して説明する。尚、図17A1、B1、C1はカソードの平面図、図17A2、B2、C2は、それぞれ図17A1、B1、C1のカソードの断面図である。

【0009】図17A1、A2は一对の電極を示し、その一方がカソード、他方がゲート電極で、カソードのゲート電極と対向する端部から、図示を省略したアノード

電極に向かって電子が放出される。

【0010】図17B1、B2は、例えば、四角形の孔を有するカソードを示し、その四角形の孔のエッジから電子が放出される。

【0011】図17C1、C2は、円盤の上面が曲面、例えば、球面を構成するように凹んだカソードを示し、その凹みのエッジから電子が放出される。

【0012】電界放出型カソード(エミッタ)Kの例としては、金属/絶縁層/金属からなるMIM型の電子放出素子にて構成しても良い。

【0013】

【発明が解決しようとする課題】図15及び図16について説明した平面型表示装置では、放電発光の有無を、カソード(エミッタ)及びゲート電極(引き出し電極)へのそれぞれの所定電圧の印加の有無で行っていた。このため、選択された画素を構成するカソードには、強電界(例えば、0.05V/Å)を画素の選択毎に印加する必要があるため、即ち、画素の選択/非選択時の電子放出の制御を電界によって行っていたために、画素の選択時の駆動電圧が高くなり、高速動作及び消費電力の点で問題があった。

【0014】かかる点に鑑み、本発明は、複数の電界放出型カソード及びその複数の電界放出型カソードのうちの選択された電界放出型カソードから放出された電子の衝撃によって光輝せしめられる蛍光体層を有する平面型表示装置において、複数の電界放出型カソードから選択的に電子を放出させるための駆動電圧の低電圧化及び消費電力の低減化が可能であると共に、高速動作の可能な平面型表示装置を提案しようとするものである。

【0015】又、本発明は、マトリックス状に配されたm行n列(但し、m、nは1以上の整数)の電界放出型カソードからなる画素が、M行N列(但し、M、Nは2以上の整数)のマトリックス状に配列された電界放出型カソード群及びその電界放出型カソード群の画素毎に電界放出型カソードから放出された電子の衝撃によって光輝せしめられる蛍光体層を有する平面型表示装置において、電界放出型カソード群から画素毎に選択的に電子を放出させるための駆動電圧の低電圧化及び消費電力の低減化が可能であると共に、高速動作の可能な平面型表示装置を提案しようとするものである。

【0016】

【課題を解決するための手段】第1の本発明による平面型表示装置は、複数の電界放出型カソードと、その複数の電界放出型カソードの表面に、その複数の電界放出型カソードからの電子放射を可能にし得るショットキーバリアを形成する強電界を固定的に与える高圧電極と、複数の電界放出型カソードに接続され、その複数の電界放出型カソードからの電子の放射の有無を制御する2次元MOSゲートアレイと、複数の電界放出型カソードから選択的に放出された電子の衝撃によって、光輝せしめら

れる蛍光体層とを有するものである。

【0017】かかる第1の本発明によれば、高圧電極によって、複数の電界放出型カソードの表面に、その複数の電界放出型カソードからの電子放射を可能にし得るショットキーバリアを形成する強電界を固定的に与え、2次元MOSゲートアレイによって、複数の電界放出型カソードからの電子の放射の有無を制御し、複数の電界放出型カソードから選択的に放出された電子の衝撃によって、蛍光体層を光輝せしめる。

【0018】

【発明の実施の形態】第1の本発明は、複数の電界放出型カソードと、その複数の電界放出型カソードの表面に、その複数の電界放出型カソードからの電子放射を可能にし得るショットキーバリアを形成する強電界を固定的に与える高圧電極と、複数の電界放出型カソードに接続され、その複数の電界放出型カソードからの電子の放射の有無を制御する2次元MOSゲートアレイと、複数の電界放出型カソードから選択的に放出された電子の衝撃によって、光輝せしめられる蛍光体層とを有する平面型表示装置である。

【0019】第2の本発明は、マトリックス状に配された m 行 n 列（但し、 m 、 n は1以上の整数）の電界放出型カソードからなる画素が、 M 行 N 列（但し、 M 、 N は2以上の整数）のマトリックス状に配列された電界放出型カソード群と、その電界放出型カソード群を構成する各電界放出型カソードの表面に、その各電界放出型カソードからの電子放射を可能にし得るショットキーバリアを形成する強電界を固定的に与える高圧電極と、電界放出型カソード群を構成する各電界放出型カソードがそれぞれ各別にドレインに接続されたMOSゲートからなる2次元MOSゲートアレイと、 M 行の画素の各電界放出型カソードに接続されている各MOSゲートのゲートに、その各MOSゲートをONにするパルス電圧を、 M 行の行毎に順次循環的に印加する走査駆動手段と、その走査駆動手段より発生するパルス電圧に同期して、 N 列の画素の各電界放出型カソードに接続されている各MOSゲートのソースに同時に、表示しようとする画像に応じて、 N 列の列毎に選択的に低電圧を印加する画像データ駆動手段と、画素毎に選択的に電界放出型カソードから放出される電子の衝撃によって、光輝せしめられる蛍光体層とを有する平面型表示装置である。

【0020】第3の本発明は、第1の本発明の平面型表示装置において、高圧電極は、蛍光体層が形成されたアノード電極である平面型表示装置である。

【0021】第4の本発明は、第1の本発明の平面型表示装置において、高圧電極は、複数の電界放出型カソードに近接して設けられた引き出し電極である平面型表示装置である。

【0022】第5の本発明は、第1の本発明の平面型表示装置において、複数の電界放出型カソードの近傍

に、シールド電極を設けた平面型表示装置である。

【0023】第6の本発明は、第5の本発明の平面型表示装置において、シールド電極には、複数の電界放出型カソードに選択的に印加される低電圧と略等しいか、又は、その低電圧より低い電圧が印加されるようにした平面型表示装置である。

【0024】第7の本発明は、第5の本発明の平面型表示装置において、シールド電極に、少なくともMOSゲートがOFFのときに、複数の電界放出型カソードに選択的に印加される低電圧と略等しいか、又は、その低電圧より低い電圧が印加されるようにした平面型表示装置である。

【0025】第8の本発明は、第2の本発明の平面型表示装置において、高圧電極は、蛍光体層が形成されたアノード電極である平面型表示装置である。

【0026】第9の本発明は、第2の本発明の平面型表示装置において、高圧電極は、電界放出型カソード群に近接して設けられた引き出し電極である平面型表示装置である。

【0027】第10の本発明は、第2の本発明の平面型表示装置において、電界放出型カソード群の近傍に、シールド電極を設けた平面型表示装置である。

【0028】第11の本発明は、第10の本発明の平面型表示装置において、シールド電極には、複数の電界放出型カソードに選択的に印加される低電圧と略等しいか、又は、その低電圧より低い電圧が印加されるようにした平面型表示装置である。

【0029】第12の本発明は、第10の本発明の平面型表示装置において、シールド電極に、少なくともMOSゲートがOFFのときに、電界放出型カソード群の電界放出型カソードに選択的に印加される低電圧と略等しいか、又は、その低電圧より低い電圧が印加されるようにした平面型表示装置である。

【0030】〔発明の実施の形態の具体例〕次に、図1～図7を参照して、本発明の実施の形態の具体例1の平面型表示装置を説明する。先ず、図1及びその α - α' 線上の断面の電極を示す図2を参照するに、Aはアノード電極で、これに対向して、カソード群 K' が設けられる。アノード電極Aの上面（下面も可）には蛍光体層Pが被着形成されている。アノード電極A及びカソード群 K' を構成する各カソード（電界放出カソード）Kの先端との間の間隔を、例えば、0.5mmとしたとき、アノード電極Aに3kVの直流電圧（固定電圧）を印加して、カソード群 K' を構成する全カソードKに対して強電界を与えて、全カソードKのショットキーバリアを、電子放射が可能となるように低くしておく。そして、全カソードKに対しそれぞれ設けられたMOSゲートによって、各カソードKからの電子の放出の有無を制御する。これらMOSゲートの集合を、2次元MOSゲートアレイGAと称する。カソードKから電子の放出が行わ

れると、その電子がアノード電極Aを衝撃し、その部分の蛍光体層Pが発光せしめられる。

【0031】カソード群K'は、例えば、マトリックス配置された、例えば、円錐状のスピント型の多数のカソードKから構成される。図1では、実際には、例えば、25個×40個=1000個のカソードKを1画素とするが、ここでは、説明及び図示の簡単化のため、例えば、4個×5個のカソードKを1画素とする。そして、M行N列（但し、M、Nは2以上の整数）の画素によって1枚の画面が構成される。尚、図4では、第1行、第1列の画素を代表して図示している。

【0032】各カソードKは、図4及び図5に示すように、ゲートアレイGAの、例えば、nチャンネル（勿論pチャンネルも可）の各MOSゲート{MOS（金属酸化膜半導体）電界効果トランジスタからなるゲート}MGのドレインDに接続される。そして、各画素を含む4列ずつのMOSゲートMGの各ソースが配線W1（図3、図5）を通じて共通に接続されて、列線Rを通じてデータドライバDDに接続される。尚、図5に示す如く、配線W1上には層間絶縁膜IDが形成され、その層間絶縁膜ID上に各カソードKが植立されている。

【0033】又、5行ずつのMOSゲートMGの各ゲート電極Gがビアホール（Via hole）V（図5）を介して、配線W2（図3、図5）によって共通に接続されて、行線Cを通じてスキヤンドライバSDに接続されている。

【0034】図5において、SBは、MOSゲートアレイGA、即ち、多数のMOSゲートMGが形成されているp型の基板、ISは、各MOSゲートMGを分離する素子分離領域である。ドレイン（ドレイン領域）D及びソース（ソース領域）Sは、n⁺型の領域である。INは基板SBの上面に形成された絶縁層（SiO₂層）である。ゲート（ゲート電極）Gは、ドレインD及びソースS間の絶縁層IN上に形成されている。

【0035】次に、この具体例1の平面型表示装置の動作を説明する。カソード群K'を構成する全電界放射型カソードKの表面には、アノード電極Aによって、例えば、最低0.1V/Å程度の電界が掛かっている。スキヤンドライバSDは、複数の行線Cに対し上から下に向かって順次循環的、例えば、5Vの波高値のパルス電圧を印加し、これによって5Vの波高値のパルス電圧がゲートGに印加された各MOSゲートMGはON状態になり、このパルス電圧に同期して、データドライバDDから、各列線Rに対し、表示しようとする画像に応じて、同時に画素毎に選択的に0電圧（接地電圧）が印加されて、選択された画素の全MOSゲートMGのソースに接地電位が与えられる。これによって、その選択された画素の少なくとも1個以上のカソードKから電子が放出されて、アノード電極Aを衝撃し、その部分の蛍光体層Pが発光せしめられる。このとき、アノード電極A及びカ

ソードK間の放電電流は、MOSゲート（MOSトランジスタ）MGの整流作用によって、電圧-電流の飽和領域での動作となり、一定電流に抑えられる。これにより、過電流によるカソードKの破壊を防止することができる。

【0036】図7は、カソードKに与える電界強度 y （V/Å）を0.05、0.2、0.5、1.0、2.0、5.0に変えたときの、カソード電極Kの表面からの距離（Å）に対する電子のポテンシャルエネルギーとショットキーバリア（eV）の特性曲線を示す。尚、 ϕ はカソードKの、バキュームレベルからの仕事関数を示す。実際は、ポテンシャルエネルギーから仕事関数 ϕ を引いたものが、ショットキーバリアとなるが、ここでは、図示及び説明の簡単のため、ポテンシャルエネルギーの曲線及びショットキーバリアの曲線を重ねて図示している。又、仕事関数 ϕ は電界が0のときのショットキーバリアを示し、カソードKの材料に応じた一定値である。仕事関数 ϕ が3~4eVのカソードKの材料としては、Mg、Cu、Mo、C、Si等がある。

【0037】そして、本願発明の原理は、カソードKに対し、そのショットキーバリアが小さくなるような強電界を常時与えておき（図7参照）、カソードKに接地電位（低電位）を与えるか否かをMOSゲートMGのオンオフで切換えて、カソードKからの電子の放射の有無を制御している。これに対し、図15及び図16を参照して説明した従来の平面型表示装置では、ゲート（引き出し電極）G及びカソードK間に、例えば、+100Vの電圧を印加するか否かの切換え、即ち、カソードKに与える電界の大きさの切換えを行って、カソードKのショットキーバリアの大きさを小、大と変化させ（図7参照）、これによって、カソードKからの電子の放射の有無を制御している。

【0038】図4の具体例1のゲートアレイでは、各列線Rを表示しようとする画像に応じて、データドライバDD内で選択的に接地するようにしたが、図6に示す如く、各列線Rを、例えば、nチャンネルのMOSトランジスタ（MOS電界効果トランジスタ）Qのドレイン及びソース間を通じて接地し、データドライバDDから選択された列線Rに接続されたMOSトランジスタQのゲートに、例えば、5Vの波高値のパルス電圧を印加して、MOSトランジスタQをONにして、選択された列線Rを接地するようにしても良い。

【0039】次に、図8及び図8の $\alpha-\alpha'$ 線上の電極を示す図9を参照して、具体例2の平面型表示装置を説明する。この具体例2は、具体例1におけるアノード電極Aに代えて、カソード群K'の各カソードKの近傍に引き出し電極DRを設けた場合である。引き出し電極DRの各カソードKに対応する部分には、それぞれ円形の孔hを穿設する。各カソードKと、引き出し電極DRとの間の間隔を、例えば、5 μ mに設定し、引き出し電極

DRに、例えば、100Vの直流電圧（固定電圧）を印加する。そして、各カソードKを、具体例1の図3～図5と同様に、2次元ゲートアレイGAの各MOSゲートMGのドレインに接続する。2次元ゲートアレイGAの構成及び動作は、図3～図5と同様であるので、その重複説明を省略する。尚、蛍光体層Pを、引き出し電極DRに対向して設ける。

【0040】具体例2の場合は、アノード電極に代えて、カソードKに近接した引き出し電極DRを設けたので、具体例1の場合と比較して高圧電極の電圧を低くすることができ

【0041】次に、図10及び図10の $\alpha-\alpha'$ 線上の電極を示す図11を参照して、具体例3の平面型表示装置を説明する。具体例3の平面型表示装置は、具体例1の平面型表示装置において、カソード群K'の各カソードKに共通のシールド電極SHを設けた場合である。シールド電極SHには、各カソードKの先端が突出する円形の孔h'が設けられ、例えば、0Vが与えられる。尚、3kVの直流電圧（固定電圧）が印加されるアノード電極Aと、カソード電極Kの先端との間の距離は、例

【0042】具体例1の平面型表示装置におけるカソードK付近の電位分布は、図5の等電位線EVとして示す如くである。この場合、カソード電極Kの先端と、配線W1との間の距離は、例えば、5 μ mとする。

【0043】これに対し、具体例3の平面型表示装置の場合のカソードK付近の電位分布は、図12の等電位線EVとして示すように、アノード電極Aからの高圧電界が、シールド電極SHによって遮蔽されるので、MOSゲートMGのドレインDに印加される電圧は、図5の場合

【0044】次に、図13及び図13の $\alpha-\alpha'$ 線上の電極を示す図14を参照して、具体例4の平面型表示装置を説明する。具体例4では、具体例2の平面型表示装置において、具体例3と同様のシールド電極SHを設けた場合である。その他の構成及び動作は、具体例2及び3と同様である。

【0045】尚、上述の各具体例においても、カソードKの形状は、上述した図17に図示したものや、金属／

絶縁層／金属からなるMIM型の電子放出素子等も可能である。

【0046】上述の各具体例においては、MOSゲートとしてnチャンネル型MOSトランジスタを用いた場合について述べたが、pチャンネル型MOSトランジスタを使用することもできる。

【0047】

【発明の効果】第1の本発明によれば、複数の電界放出型カソードと、その複数の電界放出型カソードの表面に、その複数の電界放出型カソードからの電子放射を可能にし得るショットキーバリアを形成する強電界を固定的に与える高圧電極と、複数の電界放出型カソードに接続され、その複数の電界放出型カソードからの電子の放射の有無を制御する2次元MOSゲートアレイと、複数の電界放出型カソードから選択的に放出された電子の衝撃によって、光輝せしめられる蛍光体層とを有するので、複数の電界放出型カソード及びその複数の電界放出型カソードのうちの選択された電界放出型カソードから放出された電子の衝撃によって光輝せしめられる蛍光体層を有する平面型表示装置において、複数の電界放出型カソードから選択的に電子を放出させるための駆動電圧の低電圧化及び消費電力の低減化が可能であると共に、高速動作の可能な平面型表示装置を得ることができ

【0048】第2の本発明によれば、マトリックス状に配されたm行n列（但し、m、nは1以上の整数）の電界放出型カソードからなる画素が、M行N列（但し、M、Nは2以上の整数）のマトリックス状に配列された電界放出型カソード群と、その電界放出型カソード群を構成する各電界放出型カソードの表面に、その各電界放出型カソードからの電子放射を可能にし得るショットキーバリアを形成する強電界を固定的に与える高圧電極と、電界放出型カソード群を構成する各電界放出型カソードがそれぞれ各別にドレインに接続されたMOSゲートからなる2次元MOSゲートアレイと、M行の画素の各電界放出型カソードに接続されている各MOSゲートのゲートに、その各MOSゲートをONにするパルス電圧を、M行の行毎に順次循環的に印加する走査駆動手段と、その走査駆動手段より発生するパルス電圧に同期して、N列の画素の各電界放出型カソードに接続されている各MOSゲートのソースに同時に、表示しようとする画像に応じて、N列の列毎に選択的に低電圧を印加する画像データ駆動手段と、画素毎に選択的に電界放出型カソードから放出される電子の衝撃によって、光輝せしめられる蛍光体層とを有するので、マトリックス状に配されたm行n列（但し、m、nは1以上の整数）の電界放出型カソードからなる画素が、M行N列（但し、M、Nは2以上の整数）のマトリックス状に配列された電界放出型カソード群及びその電界放出型カソード群の画素毎に電界放出型カソードから放出された電子の衝撃によ

て光輝せしめられる蛍光体層を有する平面型表示装置において、電界放出型カソード群から画素毎に選択的に電子を放出させるための駆動電圧の低電圧化及び消費電力の低減化が可能であると共に、高速動作の可能な平面型表示装置を得ることができる。

【0049】第3の本発明によれば、第1の本発明の平面型表示装置において、高圧電極は、蛍光体層が形成されたアノード電極であるので、第1の本発明の効果に加えて、構成の簡単な平面型表示装置を得ることができる。

【0050】第4の本発明によれば、第1の本発明の平面型表示装置において、高圧電極は、複数の電界放出型カソードに近接して設けられた引き出し電極であるので、第1の本発明の効果に加えて、高圧電極の電圧を低くすることのできる平面型表示装置を得ることができる。

【0051】第5の本発明によれば、第1の本発明の平面型表示装置において、複数の電界放出型カソードの近傍に、シールド電極を設けたので、第1の本発明の効果に加えて、MOSゲートに高圧が印加されるおそれがなく、このためMOSゲートの破壊を防止することのできる平面型表示装置を得ることができる。

【0052】第6の本発明によれば、第5の本発明の平面型表示装置において、シールド電極には、複数の電界放出型カソードに選択的に印加される低電圧と略等しいか、又は、その低電圧より低い電圧が印加されるようにしたので、第5の本発明と同様の効果の得られる平面型表示装置を得ることができる。

【0053】第7の本発明によれば、第5の本発明の平面型表示装置において、シールド電極に、少なくともMOSゲートがOFFのときに、複数の電界放出型カソードに選択的に印加される低電圧と略等しいか、又は、その低電圧より低い電圧が印加されるようにしたので、第5の本発明と同様の効果の得られる平面型表示装置を得ることができる。

【0054】第8の本発明によれば、第2の本発明の平面型表示装置において、高圧電極は、蛍光体層が形成されたアノード電極であるので、第2の本発明の効果に加えて、構成の簡単な平面型表示装置を得ることができる。

【0055】第9の本発明によれば、第2の本発明の平面型表示装置において、高圧電極は、電界放出型カソード群に近接して設けられた引き出し電極であるので、第2の本発明の効果に加えて、高圧電極の電圧を低くすることのできる平面型表示装置を得ることができる。

【0056】第10の本発明によれば、第2の本発明の平面型表示装置において、電界放出型カソード群の近傍に、シールド電極を設けたので、第2の本発明の効果に加えて、MOSゲートに高圧が印加されるおそれがなく、このためMOSゲートの破壊を防止することのでき

る平面型表示装置を得ることができる。

【0057】第11の本発明によれば、第10の本発明の平面型表示装置において、シールド電極には、複数の電界放出型カソードに選択的に印加される低電圧と略等しいか、又は、その低電圧より低い電圧が印加されるようにしたので、第10の本発明と同様の効果の得られる平面型表示装置を得ることができる。

【0058】第12の本発明によれば、第10の本発明の平面型表示装置において、シールド電極に、少なくともMOSゲートがOFFのときに、電界放出型カソード群の電界放出型カソードに選択的に印加される低電圧と略等しいか、又は、その低電圧より低い電圧が印加されるようにしたので、第10の本発明と同様の効果の得られる平面型表示装置を得ることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態の具体例1の平面型表示装置を示すブロック線図である。

【図2】具体例1の電極を示す図1の $\alpha-\alpha'$ 線上の断面図である。

【図3】具体例1のゲートアレイを示すブロック線図である。

【図4】具体例1のゲートアレイの詳細を示すブロック線図である。

【図5】具体例1のMOSゲート付近の構造及びカソード付近の電位分布を示す断面図である。

【図6】具体例1のゲートアレイの変形例の詳細を示すブロック線図である。

【図7】電子のポテンシャルエネルギーとショットキーバリアの電界依存性を示す特性曲線図である。

【図8】本発明の実施の形態の具体例2の平面型表示装置を示すブロック線図である。

【図9】具体例2の電極を示す図2の $\alpha-\alpha'$ 線上の断面図である。

【図10】本発明の実施の形態の具体例3の平面型表示装置を示すブロック線図である。

【図11】具体例3の電極を示す図3の $\alpha-\alpha'$ 線上の断面図である。

【図12】具体例3のMOSゲート付近の構造及びカソード付近の電位分布を示す断面図である。

【図13】本発明の実施の形態の具体例4の平面型表示装置を示すブロック線図である。

【図14】具体例4の電極を示す図3の $\alpha-\alpha'$ 線上の断面図である。

【図15】従来の平面型表示装置を示すブロック線図である。

【図16】従来の平面型表示装置の一部の断面図である。

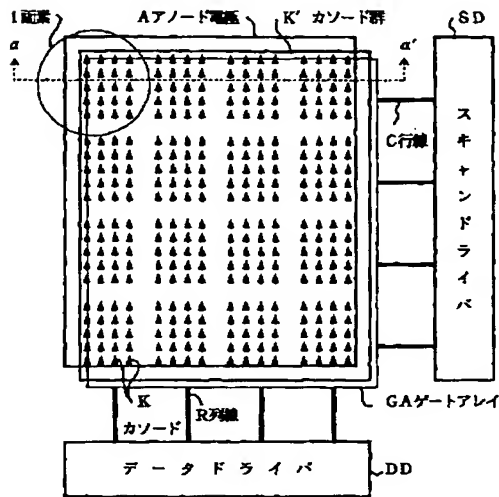
【図17】従来の平面型表示装置の電界放出型カソードの例を示す平面図及び断面図である。

【符号の説明】

A アノード電極、P 蛍光体層、K' カソード群、
K 電界放出型カソード、DR 引き出し電極、SH
シールド電極、GA 2次元ゲートアレイ、MG MO

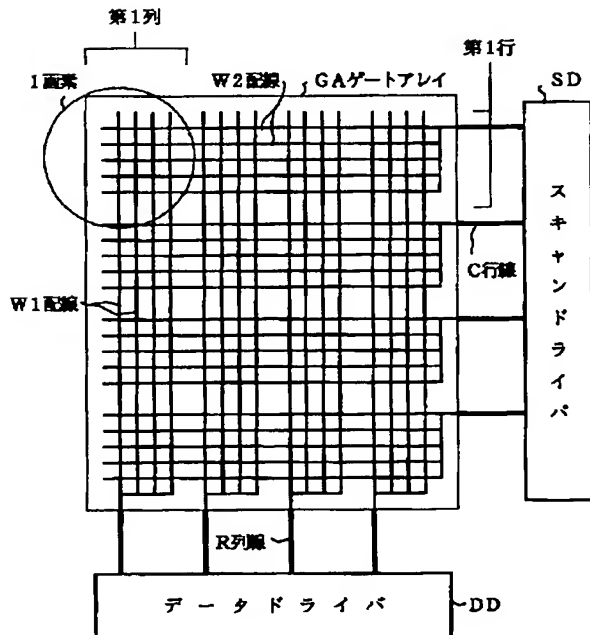
Sゲート、SD スキャンドライバ、DD データドラ
イバ。

【図1】



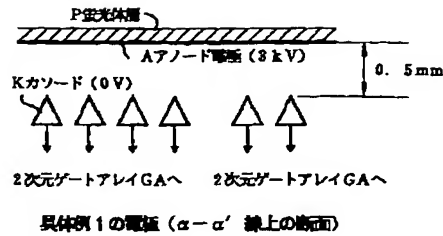
具体例1の平面表示装置

【図3】

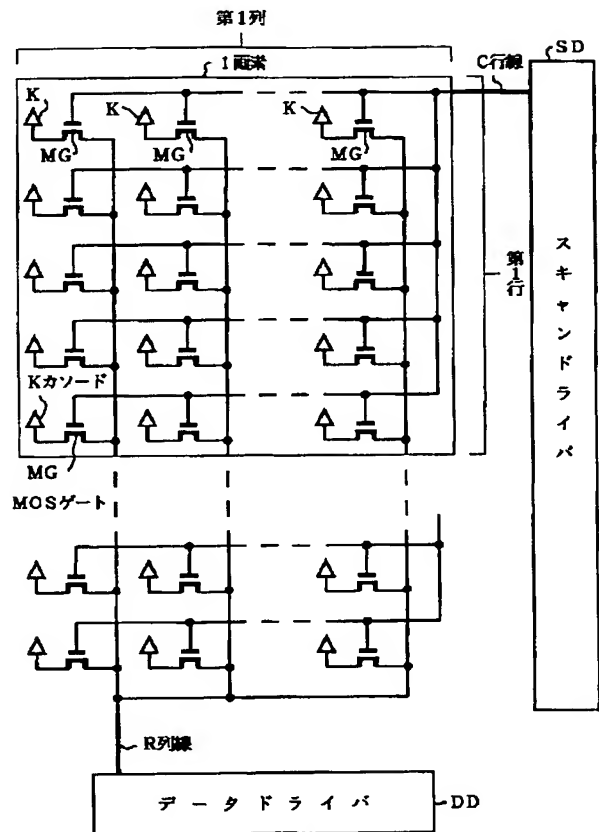


具体例1のゲートアレイ

【図2】

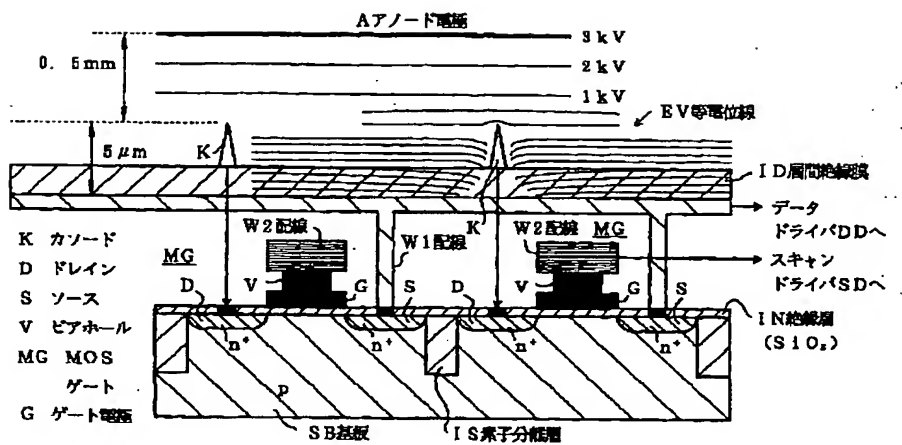


【図4】



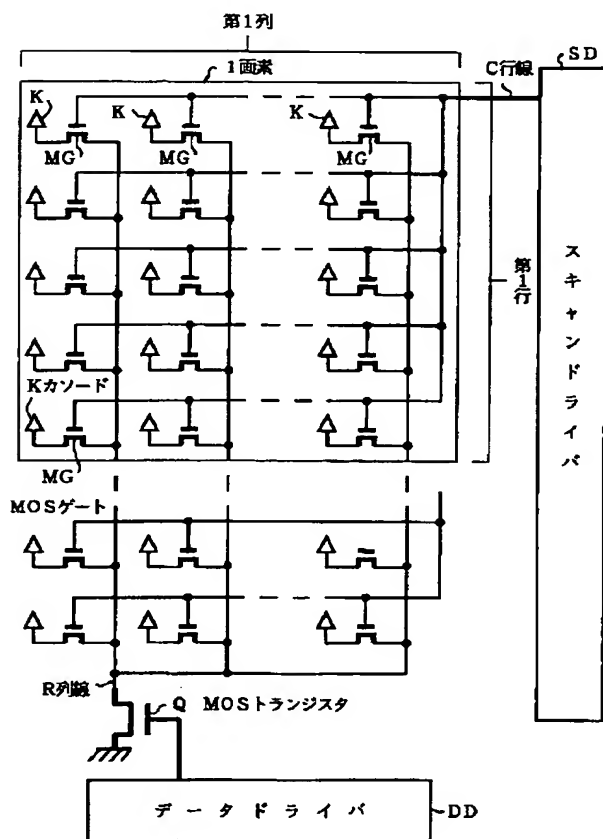
具体例1のゲートアレイ

【図 5】



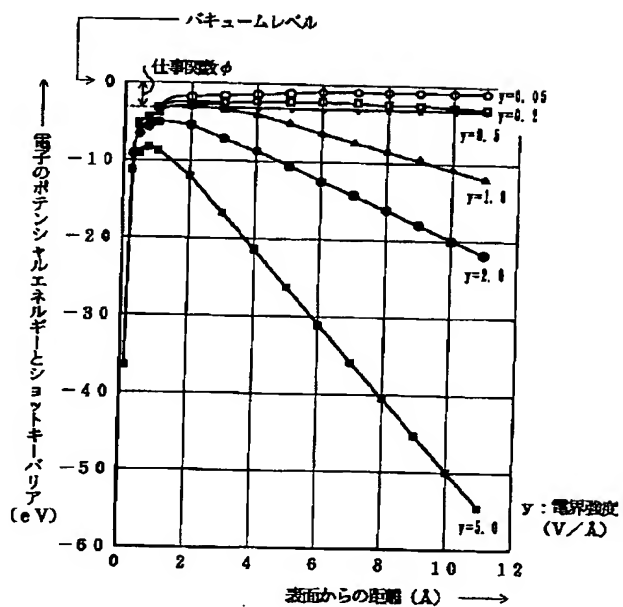
具体例1のMOSゲート付近の構造及びカソード付近の電位分布

【図 6】



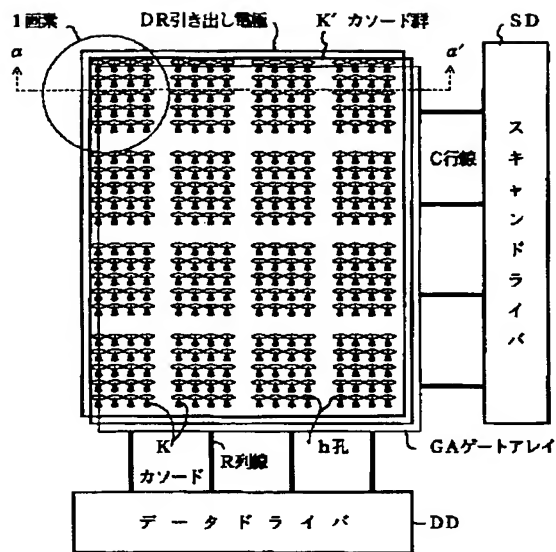
具体例 1 のゲートアレイ

【図 7】



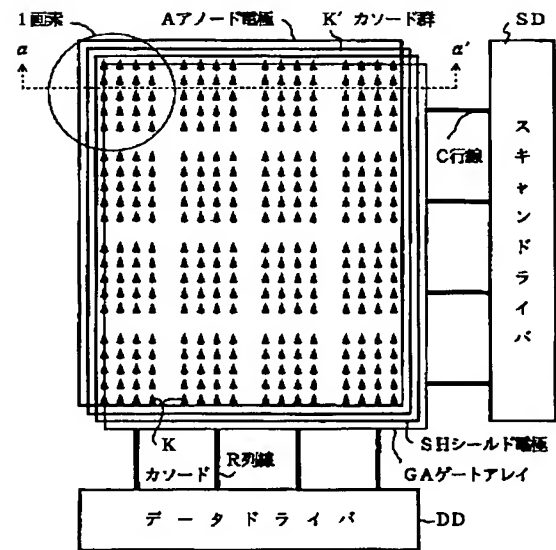
電子のポテンシャルエネルギーと ショットキーバリアの電界依存性

【図8】



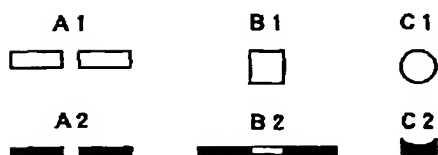
具体例2の平面型表示装置

【図10】



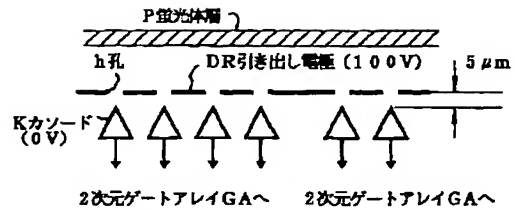
具体例3の平面型表示装置

【図17】

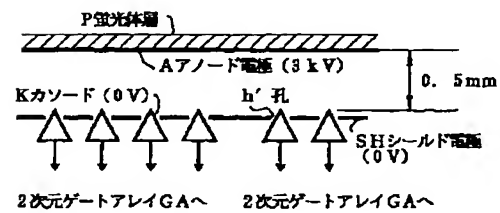


カソードの例

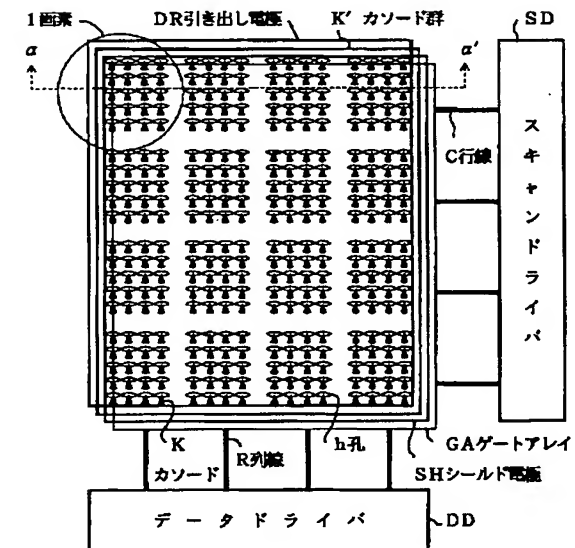
【図9】

具体例2の電極 (α - α' 線上の断面)

【図11】

具体例3の電極 (α - α' 線上の断面)

【図13】



具体例4の平面型表示装置

[illegible]

Diagram illustrating the cross-section of a 2D gate array (2次元ゲートアレイGA). The structure shows a P-type substrate (P型半導体) with a 5 μm scale bar. Key components include the DR引出し電極 (100V), Kカソード (0V), h⁺ holes, h⁻ holes, and SHシールド電極 (0V). The diagram is labeled 2次元ゲートアレイGA at the bottom.

従来の平面型表示装置の一部の断面

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)